

Architektúra, cache

Koschek Vilmos
vkoschek@vonalkod.hu

Miről lesz szó?

- Alapfogalmak
- Adat cache tervezési terének alapkomponeensei
- Fejlődés

Teljesítmény

Teljesítmény növelése

Technológia

- Nagyobb memória
- Magasabb frekv.
- Bitszám növelése
- Gyorsabb áramkörök (SRAM, DRAM)
-

Architektúra (mem.)

- VT
- DRAM, FPM, EDO, SD, DDR
- Memória tömbök
- Asszociatív tár
- Cache
-

CACHE tár

Mi a probléma?

CPU - memória

- 8MHz -> 125 ns
- 50 MHz -> 20 ns
- 500 MHz -> 2 ns

Mi a megoldás ?

Nagyméretű, gyors, olcsó memória... ☺

Megoldás

Régebben wait state

Gyors memóriát a CPU lapkára (lassú bus) !

DE !

- CPU gyártása nem gazdaságos
- Lapka nem lehet tetszőleges méretű

És a valóság ?

Nagy, lassú

Kicsi, gyors

Cache elve

CPU

↔

CACHE

↔

OPT

Egy rövid időintervallum alatt a memóriahívások a teljes memória csak egy kis részét érintik !

Térbeli lokalitás
(köv. cím)

Időbeli lokalitás
(ciklus)

Számoljunk...

- T_c : OPT ciklus idő = 8 ns
- T_{cache} : Cache = 1 ns
- P_i : Találati arány = 98%

Átlagos elérési idő: $P_i \times T_{cache} + (1-P_i) \times T_c$

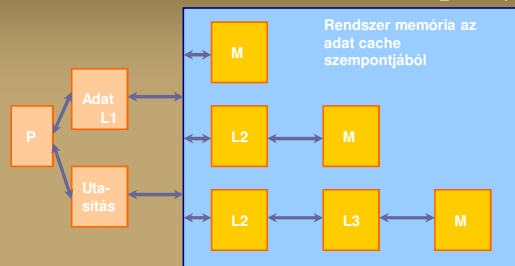
$0,98 \times 1 \text{ ns} + (1-0,98) \times 8 \text{ ns} = 1,14 \text{ ns}$

8 ns <-> 1,14 ns !!!!!

Főtár és a cache aktualizálása

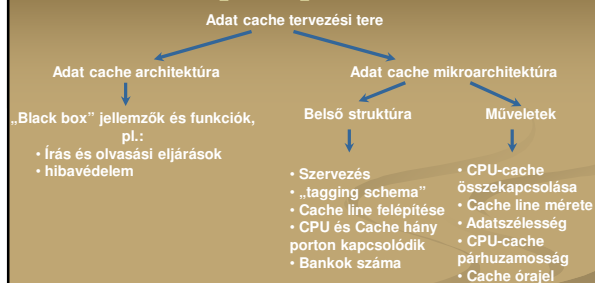
- Átíró (write through)
 - Egyszerre, azonnal
 - Lassú
- Visszaíró (write back)
 - Blokkcserénél, más eszköz kéri az adatot
 - Bonyolultabb
- Késleltetett írás (burst write)
 - Amikor lehet, visszaírja
 - Amíg nem írja vissza, nem engedett mást a memóriához

A memória hierarchia lehetséges alternatívái az adat cache szempontjából



L1: 16 - 64K
L2: 512 - 1M
L3: n x MB

Az adat cache tervezési terének alapkomponeensei

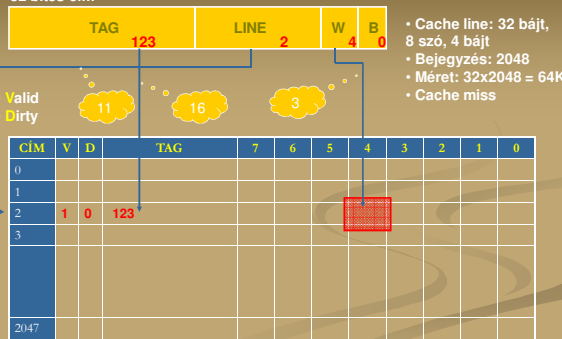


Szervezés

- Közvetlen leképzésű (direct mapped)
- Csoport asszociatív (n-way set associative)

Közvetlen leképzésű

32 bites cím



Cache line mérete

Illeszkedik a CPU által használt adattípusokhoz

- 32 bájtt: Pentium, PII, PIII, PPro
- 64 bájtt: Pentium 4, Alpha 21264
- 128 bájtt: Power 3, Power 4

Memóriák Koschek Vilmos 19

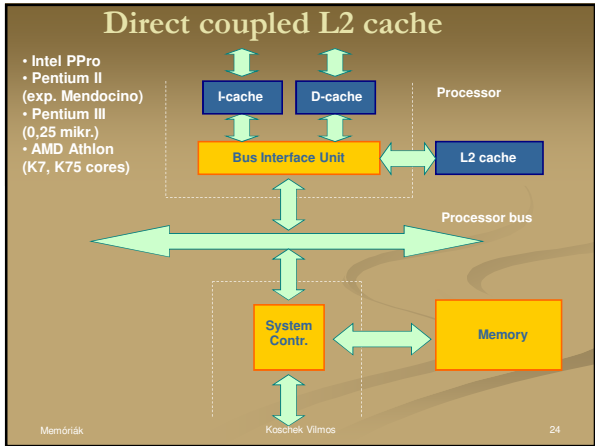
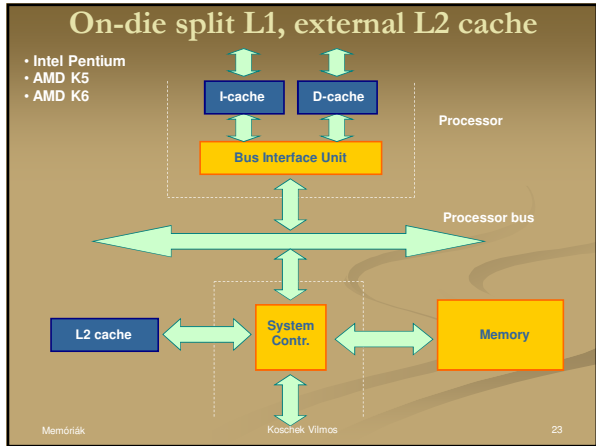
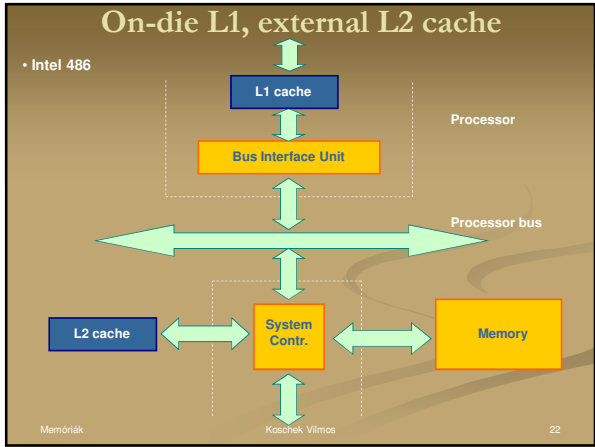
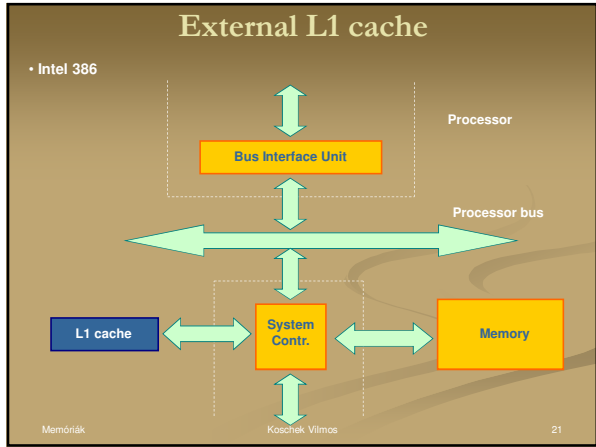
Adatszéliesség a CPU és a Cache között

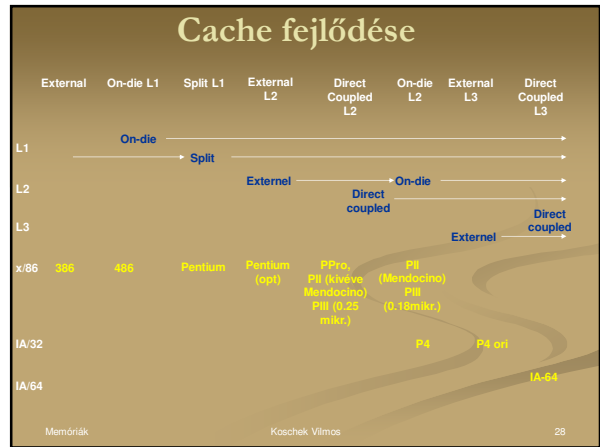
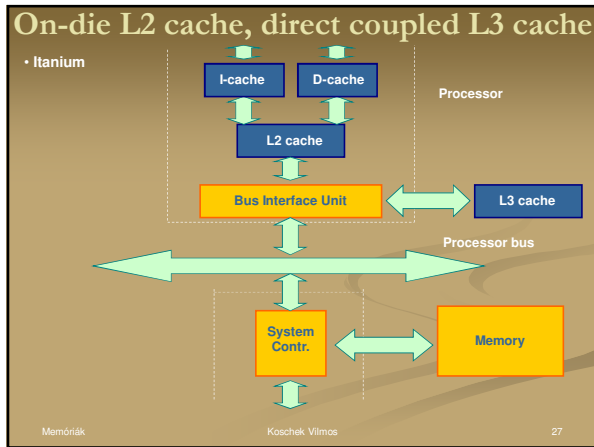
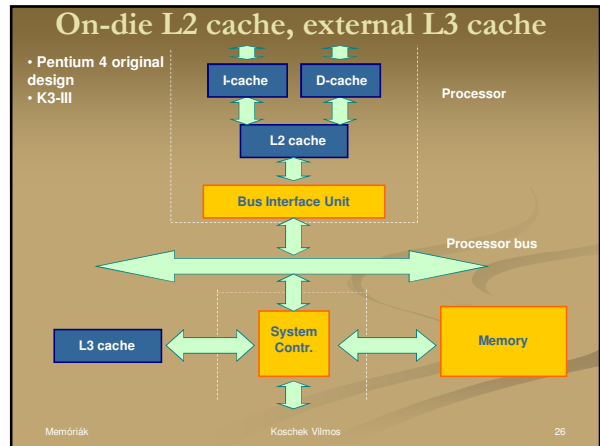
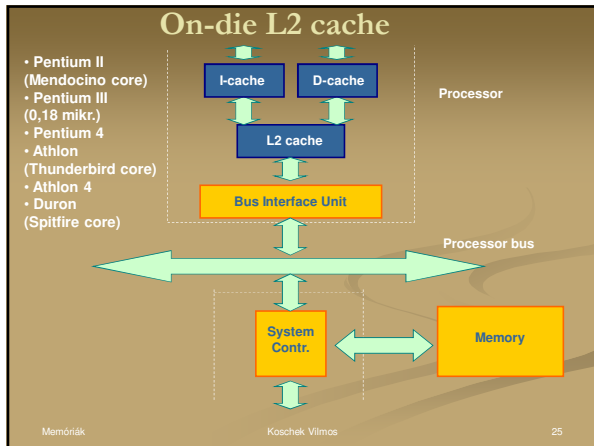
Ha van!

8 bájtt / port Nagy adatforgalom, szűk keresztmetszet (burst átvitel)

<p>8 bájtt</p> <ul style="list-style-type: none"> • Alpha 21064 • Pentium • PPro • PII • PIII (0,25 mikron) 	<p>16 bájtt</p> <ul style="list-style-type: none"> • Alpha 21164 • Alpha 21266 • UltraSparc I • UltraSparc II 	<p>32 bájtt</p> <ul style="list-style-type: none"> • PIII (0,18 mikron) • P4
---	--	---

Memóriák Koschek Vilmos 20





ITTTTTTTTTTTTTTTTTTTTT!

Tantárgy neve, kódja: ...Architektúra... évfolyam:			
A vizsga napja (hónap, nap)	A vizsga (kezdete és vége)	Es. Vizsgalérem	Max. hallgatói létszám
Május 18. 17:00	80 perc	Audmax	80
Június 8. 17:00	80 perc	Audmax	80
Június 15. 17:00	90 perc	Audmax	80

Tantárgy neve, kódja: ...C++... évfolyam:			
A vizsga napja (hónap, nap)	A vizsga (kezdete és vége)	Es. Vizsgalérem	Max. hallgatói létszám
Május 18. 18:00	180 perc	2.10	10
Június 8. 18:00	180 perc	2.10	10
Június 15. 18:00	180 perc	2.10	10

Megszaktitási rendszer Koschek Vilmos 29

<http://nik.bmf.hu/broczko/tantargy.htm>

Memóriák Koschek Vilmos 30